

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66806

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28				
H 0 4 Q 3/00				
3/52	1 0 1 Z	9076-5K		
		8732-5K	H 0 4 L 11/ 20	H
審査請求 未請求 請求項の数 5 O L (全 10 頁)				

(21) 出願番号 特願平5-208014

(22) 出願日 平成5年(1993)8月23日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 源田 浩一

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 山中 直明

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 井出 直孝 (外1名)

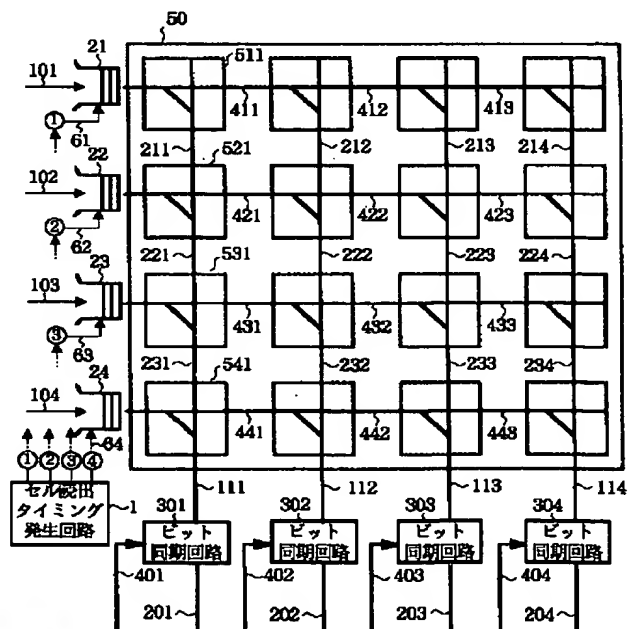
(54) 【発明の名称】 ATMスイッチ

(57) 【要約】

【目的】 ATM (非同期転送モード) の交換装置において、配線長差に起因するスイッチ網内のセル転送速度制限を回避する。

【構成】 ATMスイッチの出力側に任意の位相に対応できるビット同期回路を配置する。

【効果】 スイッチ網における高速セル転送がはかれる。



【特許請求の範囲】

【請求項 1】 複数 N 本の入力回線と複数 M 本の出力回線とが収容され、この N 本の入力回線から入力されるセルをそのヘッダ情報にしたがってこの M 本の出力回線に交換接続するスイッチ網を備えた ATM スイッチにおいて、

その N 本の入力回線のそれぞれに到来するセルを一時蓄積する入力バッファ回路を設け、この入力バッファ回路の読出タイミングを制御するセル読出タイミング発生回路を備え、

その M 本の出力回線に、それぞれスイッチ網から到来するセルに合わせて動作する独立のビット同期回路が設けられたことを特徴とする ATM スイッチ。

【請求項 2】 前記セル読出タイミング発生回路は、各入力バッファ回路から出力回線までの物理的な信号伝播距離に応じて各入力バッファ回路に異なるタイミング信号を与える回路手段を含む請求項 1 記載の ATM スイッチ。

【請求項 3】 前記スイッチ網はマトリクススイッチである請求項 1 または 2 記載の ATM スイッチ。

【請求項 4】 前記ビット同期回路は、異なる位相を有する m 個のクロック ($c_1 \sim c_m$) を発生する手段と、この m 個のクロック ($c_1 \sim c_m$) に対応する前記セルに含まれるデータの変化点 (例えば、 c_h と $c_{(h+1)}$ との間) を検出する手段と、この変化点が存在しないクロック (例えば、 $c_1 \sim c_{(h-1)}$ または $c_{(h+2)} \sim c_m$) により前記データのビット同期をとる手段を備えた請求項 1 記載の ATM スイッチ。

【請求項 5】 N 本の入力回線の信号を取り込み M 本の出力回線毎に競合調停回路が設けられた請求項 1 または 2 記載の ATM スイッチ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル通信の交換装置に利用する。特に、ATM (非同期転送モード) 交換装置の高速化技術に関する。

【0002】

【従来の技術】 従来例を図 12 を参照して説明する。図 12 は従来例装置のブロック構成図である。入力回線 101 ~ 104 から入力されたセルは、クロスポイント通過毎にビット同期回路 711 ~ 744 に入力されてビット同期をとられ、出力回線 201 ~ 204 から出力される。このとき各クロスポイントへはセルの通過時間を考慮したクロックを配布する必要がある。

【0003】 図 12 に示すクロック配布線の場合は、最上流クロスポイント 511 と最下流クロスポイント 541 との間で遅延時間 m が必然的に生じる。このため、スイッチ網 50 内のセル転送速度は $1/m$ [Hz] が上限値となる。

【0004】

【発明が解決しようとする課題】 このように、従来の ATM スイッチでは、クロックの配布線長が転送されるセルの最高速度を制限してしまう。この従来例では、 $1/m$ [Hz] を越えるセル転送速度を実現する場合には、配線設計を綿密に行うことが必要である。

【0005】 本発明は、このような背景に行われたものであり、配線長差に起因するスイッチ網内のセル転送速度制限を回避し、高速セル転送がはかれる ATM スイッチを提供することを目的とする。

【0006】

【課題を解決するための手段】 本発明は、複数 N 本の入力回線と複数 M 本の出力回線とが収容され、この N 本の入力回線から入力されるセルをそのヘッダ情報にしたがってこの M 本の出力回線に交換接続するスイッチ網を備えた ATM スイッチである。

【0007】 ここで、本発明の特徴とするところは、その N 本の入力回線のそれぞれに到来するセルを一時蓄積する入力バッファ回路を設け、この入力バッファ回路の読出タイミングを制御するセル読出タイミング発生回路を備え、その M 本の出力回線に、それぞれスイッチ網から到来するセルに合わせて動作する独立のビット同期回路が設けられたところにある。

【0008】 前記セル読出タイミング発生回路は、各入力バッファ回路から出力回線までの物理的な信号伝播距離に応じて各入力バッファ回路に異なるタイミング信号を与える回路手段を含むことが望ましい。前記スイッチ網はマトリクススイッチであることが望ましい。

【0009】 前記ビット同期回路は、異なる位相を有する m 個のクロックを発生する手段と、この m 個のクロックに対応する前記セルに含まれるデータの変化点を検出する手段と、この変化点が存在しないクロックにより前記データのビット同期をとる手段を備えることが望ましい。

【0010】 N 本の入力回線の信号を取り込み M 本の出力回線毎に競合調停回路が設けられることが望ましい。

【0011】

【作用】 本発明の ATM スイッチは、セルが到来する入力側でビット同期をとらないが、入力回線毎に入力バッファ回路を設けて、到来するセルを一時この入力バッファ回路に蓄積する。この入力バッファ回路の読出は $N \times M$ 個のスイッチについて一つ共通に設けたセル読出タイミング発生回路で制御する。

【0012】 この読出タイミング発生回路は、各入力バッファ対応にそれぞれ短いパルスを送出するが、その短いパルスの発生タイミングをあらかじめそのスイッチ網の物理的な形状に合わせた信号伝播時間にしたがって遅延量を考慮して、時間 d ずつずらして発生する。すなわち、入力バッファ回路と出力回線との距離が遠くなる入力バッファ回路に対しては先行して読出タイミング信号

3

を与え、その距離に応じて読出タイミング信号を遅らせ、出力回線でそのセルの送出タイミングがほぼ等しくなるように設定する。この時間 d をステップ的に準備して利用すればよく、この時間 d はスイッチ網の物理的な形状から決定される値であり、いったん決めた後は変更する必要がない。さらに、時間 $d \times n$ (ただし n は自然数) ずつ先行して発生するのであるから、スイッチ網の形状が大きくなる場合には、時間 d または整数 n を大きくすればよく、その遅延の影響で繰り返し周波数が制限されるようなことはなくなる。

【0013】スイッチの動作タイミングはセル読出タイミング発生回路に追従したまたは同期して行う。そして、次の段、つまり本願図面に現れない出力回線の先では、到来するセルはビット同期をとってあることが必要なので、ATMスイッチの出力回線でビット同期をとる。そのときは、出力回線に出てくるセルの信号振幅に現物合わせして同期をとる。そうすると、スイッチ内ではビット同期とは原則的に関係なくなり、スイッチの入力側でビット同期をとってしまっ、それをそのスイッチの後にもずっと使うということとはなくなってしまう。したがって、ATMスイッチの内部の遅延は自ずと問題なくなる。つまり、本発明ではATMスイッチの入力側でビット同期を取り、ATMスイッチをそのビット同期にしたがって動作させるという従来の方法とは違い、ATMスイッチの内部ではビット同期は不要になる。

【0014】

【実施例】本発明第一実施例の構成を図1を参照して説明する。図1は本発明第一実施例装置のブロック構成図である。

【0015】本発明は、入力回線101~104と出力回線201~204とが収容され、入力回線101~104から入力されるセルをそのヘッダ情報にしたがって出力回線201~204に交換接続するスイッチ網50を備えたATMスイッチである。

【0016】ここで、本発明の特徴とするところは、入力回線101~104のそれぞれに到来するセルを一時蓄積する入力バッファ回路21~24を設け、この入力バッファ回路21~24の読出タイミングを制御するセル読出タイミング発生回路1を備え、出力回線201~204に、それぞれスイッチ網50から到来するセルに

合わせて動作する独立のビット同期回路301~304が設けられたところにある。

【0017】セル読出タイミング発生回路1は、各入力バッファ回路21~24から出力回線201~204までの物理的な信号伝播距離に応じて各入力バッファ回路21~24に異なるタイミング信号を与える回路手段を含む構成である。スイッチ網50はマトリクススイッチである。

【0018】次に、本発明第一実施例装置の動作を図2を参照して説明する。図2はセル読出タイミング発生回

4

路1のクロックを示すタイムチャートである。入力回線101~104から入力されるセルは、入力バッファ21~24に蓄積される。セル読出タイミング発生回路1は、入力バッファ回路21~24に蓄積されたセルを読出すタイミングを生成し、信号線61~64を介して入力バッファ回路21~24に転送する。入力バッファ回路21~24はそれぞれ周期 T_s でセルを送出するが、隣接する入力バッファ回路21~24間では、図2に示すように、 d 時間ずつ時間をずらしてセルを送出する。

10 各クロスポイント511~544内のスイッチの動作タイミングはセル読出タイミング発生回路1に追従したまたは同期して行われる。このようにして、セルはスイッチ網50内をビット同期をとられることなく転送される。

【0019】スイッチ網50の出力部において、セルはビット同期回路301~304に入力され、スイッチ網50に入力してから初めてビット同期がとられる。ビット同期回路301~304は、信号線401~404を介して入力される一定周波数を有する複数または1つのクロックにより、信号線111~114から入力されるセルのビット同期を取り、ビット同期後のセルを出力回線201~204に出力する。

【0020】次に、図3を参照して本発明第一実施例装置のスイッチ網50をさらに詳細に説明する。図3はスイッチ網50の詳細な構成図である。入力回線101~104から入力されるセルは、分岐点51~54で分岐され、一方は競合制御回路15に入力され、他方はクロスポイント511~544に接続される。競合制御回路15は、入力回線101~104から入力されるセル間の競合制御を行い、制御結果を信号線351~354を介して全クロスポイント511~544に伝達する。クロスポイント5ij ($i, j = 1 \sim 4$: i 行 j 列) のセレクタ60は、左隣接クロスポイント5i ($j-1$) から入力されるセルの出力として、信号線35jを介して入力される値を基に、信号線4ijまたは2ijを選択する。以上のように、クロスポイント5ijに接続されたセルはあらかじめ設定されたルートを転送される。

【0021】次に、図4を参照してビット同期回路301~304のアルゴリズムを説明する。図4は4相のクロック $c1 \sim c4$ を用いたクロック選択アルゴリズムを示す図である。このアルゴリズムは、入力セルを多相のクロックで打ち抜くことによりデータの変化点の存在する時間域を検出し、このデータ変化点の時間域を回避した位相を有するクロックとこのクロックで打ち抜かれた入力セルの値とを比較する。ここでは、データの変化点域がクロック $c1$ と $c2$ との間に存在し、クロック $c2$ 直後のクロック $c3$ を選択する。

【0022】次に、図5を参照して多相クロックのタイムチャートを説明する。図5は4相クロックのタイムチャートを示す図である。4相クロックとは、1ビット周期 (T) 内に入力される4つのクロックを意味する。こ

5

の4つのクロックは、ここでは等間隔 ($T/4$ 毎) に入力される。本アルゴリズムでは、 m 相のクロック $c_1 \sim c_m$ を使用し、データの変化点域がクロック c_h と $c_{(h+1)}$ との間に存在するとき、クロック $c_1 \sim c_{(h-1)}$ またはクロック $c_{(h+2)} \sim c_m$ が選択されるクロックの候補となり、実際に選択されるクロックは、入力データのジッタ保証等に基づくシステム設計条件にしたがい決定される ($1 < h < m-2$)。

【0023】次に、図6を参照して本発明第一実施例のビット同期回路301~304を説明する。図6は本発明第一実施例のビット同期回路301~304のブロック構成図である。多相クロック発生回路10は、信号線401~404を介して入力されるクロックを基に、ここでは図4に示すタイミングで4相のクロック901~904を生成し出力する。Dフリップフロップ回路701~704は、信号線111~114を介して入力されるセルを多相クロック901~904のタイミングで保持および更新する。

【0024】変化点検出回路11は、異なる位相で保持された入力セルの値を信号線905~908を介して入力し、ここでは図3に示すクロック選択アルゴリズムに従うセクタ121および122の制御を行うための出力信号を生成し信号線909および910に出力する。セクタ121は、異なる位相で保持された入力セルの値を信号線905~908の分岐点84~87を介して入力し、信号線909を介して入力される信号を基に、信号線905~908の中から1本を選択し信号線911に接続する。セクタ122は、多相のクロック901~904を分岐点88~91を介して入力し、信号線910を介して入力される信号を基に、クロック901~904の中から1つのクロックを選択し信号線912に接続する。Dフリップフロップ回路705は、信号線911を介して入力される値を信号線912を介して入力されるクロックにより保持および更新し出力回路201~204に出力する。

【0025】次に、図7ないし図9を参照して変化点検出回路11およびセクタ121、122の動作を説明する。図7は変化点検出回路11およびセクタ121、122のブロック構成図である。図8は変化点検出回路11およびセクタ121、122の各部の動作を示すタイムチャートである。図9はリセット時間域 T_r を示す図である。ビット同期回路301~304は、4相のクロックを用いている。信号線111~114からビット同期回路301~304へ入力されるセルの第一ビットのデータ変化点検出により決定される選択クロックをリセット信号971が入力されるまで出力する。

【0026】図8に示すように、クロック901~904は等間隔 $T/4$ で入力される。図6に示すDフリップフロップ回路701~704の出力は信号線905~908を介して変化点検出回路11に入力される。図7に

6

示すEXOR711~714の信号921~924は、1出力のみ最大 $3T/4$ だけハイレベルを出力し、他出力は最大 $T/4$ だけハイレベルとなる。EXOR711~714の出力は2値が一致するときローレベル、不一致のときハイレベルとなる。データ変化点は $3T/4$ ハイレベルとなる2クロック間に存在する。信号931~934は、Dフリップフロップ回路731~734の入力であり、信号961がローレベルのときEXOR711~714の出力がそのままDフリップフロップ回路731~734入力となり、信号961がハイレベルのときEXOR711~714の出力値が無視されローレベルの信号がDフリップフロップ回路731~734の入力となる。信号981~984はDフリップフロップ回路731~734の出力であり、入力される信号931~934を打ち抜くクロックは、Dフリップフロップ回路731~734に対応するEXOR711~714で比較された2値のDフリップフロップ回路70gおよび70(g+1)の出力信号の中で後から更新されたデータに用いられたクロック $c(g+1)$ の反転を用いている。使用可能なクロックタイミングは、 $c(g+1)$ 以降、次の c_g 間であればよい ($g=1 \sim 4$)。信号951から954はSRフリップフロップ741~744の出力であり、信号981~984が一度ハイレベルとなるとリセット信号971が入力されるまでハイレベルを出力する。本発明第一実施例では、信号952がハイレベルとなる。SRフリップフロップ741~744のいずれかがハイレベルとなるとOR751の出力の信号961はハイレベルとなりAND721~724に接続され、Dフリップフロップ回路731~734の入力は全てローレベルになる。セクタ121および122では、信号952が伝送される信号線と対にされた信号線908およびクロック904がそれぞれ911および912に接続される。

【0027】なお、本ビット同期回路301~304を初期設定する場合には、信号線111~114へのセル入力を停止するようにスイッチ網50を制御し、SRフリップフロップ741~744にリセット信号971を3クロックに相当する時間以上与えることにより、図8の初期状態を与えることができる。このリセット信号971は、ビット同期回路301~304の外部から供給される。ここでは図9に示すように、セルの読出時にセル読出タイミング発生回路1がセルの末尾にリセット時間域 T_r を設け、ここにリセット信号971を挿入するように構成されている。

【0028】次に、本発明第二実施例を図10および図11を参照して説明する。図10は、本発明第二実施例に用いる3相クロックを用いたクロック選択アルゴリズムを有するビット同期回路301~304の構成図である。図11は、本発明第二実施例における変化点検出回路11およびセクタ121、122の各部の動作を示

10

20

30

40

50

7

すタイムチャートである。多相クロック発生回路10は、信号線401~404を介して入力されるクロックを基に、3相のクロック901~903を生成し出力する。Dフリップフロップ回路701~703は、信号線111~114を介して入力されるセルを多相のクロック901~903のタイミングで保持および更新する。変化点検出回路11は、異なる位相で保持された入力セルの値を信号線905~907を介して入力する。ここでは図4に示すクロック選択アルゴリズムに従うセクタ121および122の動作を行うための出力信号を生成し信号線909および910に出力する。図4では、4相クロックとしてクロック選択アルゴリズムを示したが3相クロックとしてもその原理は同様に説明できる。セクタ121は、異なる位相で保持された入力セルの値を信号線905~907の分岐点84~86を介して入力し、信号線909を介して入力される信号を基に、信号線905~907の中から1本を選択し信号線911に接続する。セクタ122は、多相のクロック901~903を分岐点88~90を介して入力し、信号線910を介して入力される信号を基に、クロック901~903の中から1本を選択し信号線912に接続する。Dフリップフロップ回路705は、信号線911を介して入力される値を信号線912を介して入力されるクロックにより保持および更新し出力回線201~204に出力する。

【0029】変化点検出回路11とセクタ121、122の動作を説明する。ビット同期回路301~304は、3相のクロックを用いている。信号線111~114からビット同期回路301~304に入力されるセル先頭の第一ビットのデータ変化点検出により決定される選択クロックをリセット信号971が入力されるまで出力する。

【0030】図11に示すように、クロック901~903は、 $T/3$ の等間隔で入力される。Dフリップフロップ回路701~703の出力は信号905~907となる。Dフリップフロップ回路811および812の出力である信号921および922は、信号線907と同位相である。EXOR821および822の出力である信号1931および1932は、d1だけ遅延して結果が出力される。EXOR821および822の出力は2値が一致するときローレベル、不一致のときハイレベルとなる。Dフリップフロップ回路831および832の出力である信号1941または1942は、データの変化点が存在する領域でハイレベルとなる。図11では、Dフリップフロップ回路831の出力がハイレベルとなるため、クロックc1とc2との間にデータ変化点が存在することになる。SRフリップフロップ841および842の出力である信号1951~1954は、入力の信号1941または1942が一度ハイレベルとなるとリセット信号971が入力されるまで、信号1951ま

8

たは1953はハイレベルを出力する。信号1952および1954は、それぞれ信号1951および1953の反転信号である。ここでは、信号1951が遅延d2後にハイレベルとなる。セクタ121および122では、信号1951の反転信号である信号1952が伝送される信号線と対にされた信号線907およびクロック903が伝送される信号線がそれぞれ信号線911および912に接続される。

【0031】セルとこのセルの存在を示すフレーム信号とを並列して転送し、ビット同期回路301~304はこのフレーム信号の存在時のみ入力セルのビット同期をとることにより、セル未存在時に生じるノイズ等による誤動作を回避できる。

【0032】スイッチ網50内を転送されるセルの波形歪みは、このセルを平衡伝送したり、ゲート段数を偶数にする等の周知の技術を適用することにより、符号誤りを生じない程度に抑圧できる。

【0033】ビット同期回路301~304において、入力セルのジッタにより生じる選択クロックの選択誤りは、図7に示すOR751とAND721~724から構成される保証回路により、選択クロックを1セル周期固定とすることにより回避できる。

【0034】

【発明の効果】以上説明したように、本発明によれば、ATMスイッチの出力部にビット同期回路を配置することにより、ATMスイッチ出力部では任意の位相を有するセルに対してビット同期をとることが可能となるため、スイッチ網内のセル転送経路の配線長を意識せず配線設計できる。これにより、複数配線間の配線長差に起因するセル転送速度制限を回避し、高速セル転送がはかれるATMスイッチを構成することができる。

【図面の簡単な説明】

【図1】本発明第一実施例装置のブロック構成図。

【図2】セル読出タイミング発生回路のクロックを示すタイムチャート。

【図3】スイッチ網の詳細な構成図。

【図4】4相のクロックを用いたクロック選択アルゴリズムを示す図。

【図5】4相クロックのタイムチャートを示す図。

【図6】本発明第一実施例のビット同期回路のブロック構成図。

【図7】変化点検出回路およびセクタのブロック構成図。

【図8】変化点検出回路およびセクタの各部の動作を示すタイムチャート。

【図9】リセット時間域を示す図。

【図10】本発明第二実施例のビット同期回路の構成図。

【図11】本発明第二実施例における変化点検出回路およびセクタの各部の動作を示すタイムチャート。

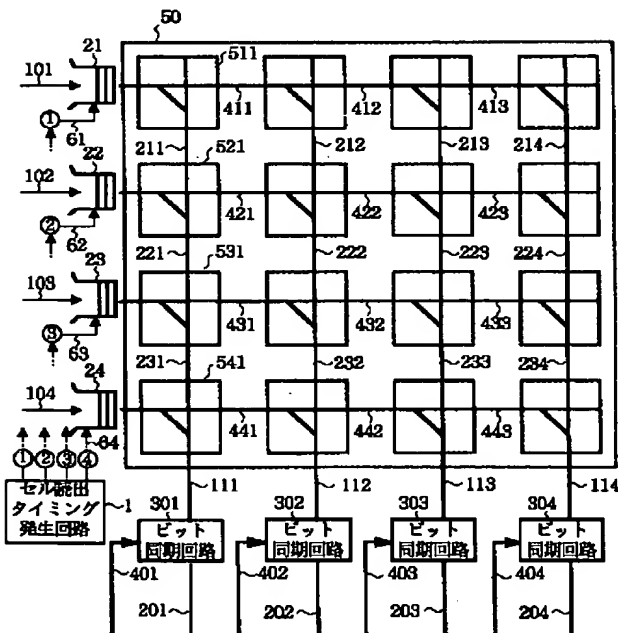
9

【図 12】 従来例装置のブロック構成図。

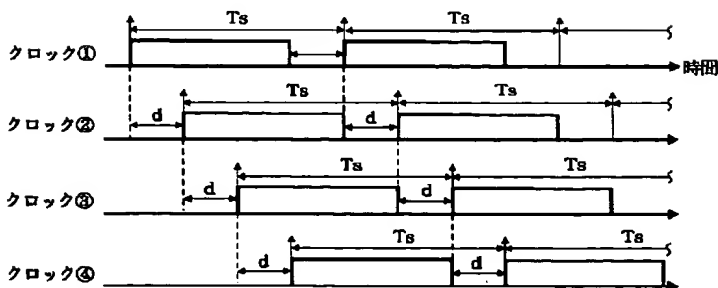
【符号の説明】

- 1 セル読出タイミング発生回路
 10 多相クロック発生回路
 11 変化点検出回路
 15 競合制御回路
 21~24 入力バッファ回路
 50 スイッチ網
 61~64 信号線
 101~104 入力回線
 201~204 出力回線
 301~304 ビット同期回路
 111~114、211~234、351~354、401~404、411~443、905~944、961~966 991~998 信号線
 511~544 クロスポイント

【図 1】



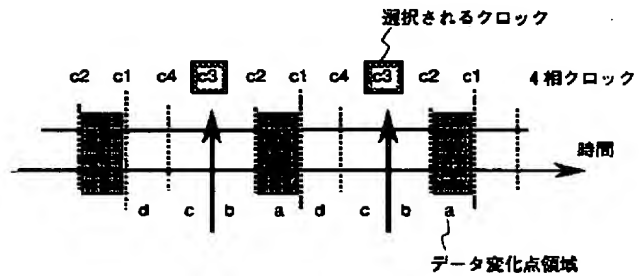
【図 2】



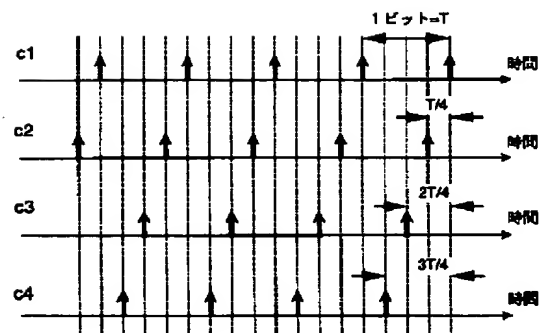
10

- 51~54、71~78、81~95 分岐点
 971 リセット信号
 c1~cm、901~904、~ クロック
 701~705、731~734、811、812、831、832 Dフリップフロップ回路
 60、121、122 セレクタ
 711~714、821、822 EXOR
 721~724 AND
 921~924、1931~1934、981~984、951~954、961、1941、1942、1951~1954 信号
 771、772、751 OR
 761~768 AND
 741~744、841、842 SRフリップフロップ
 Tr リセット時間域

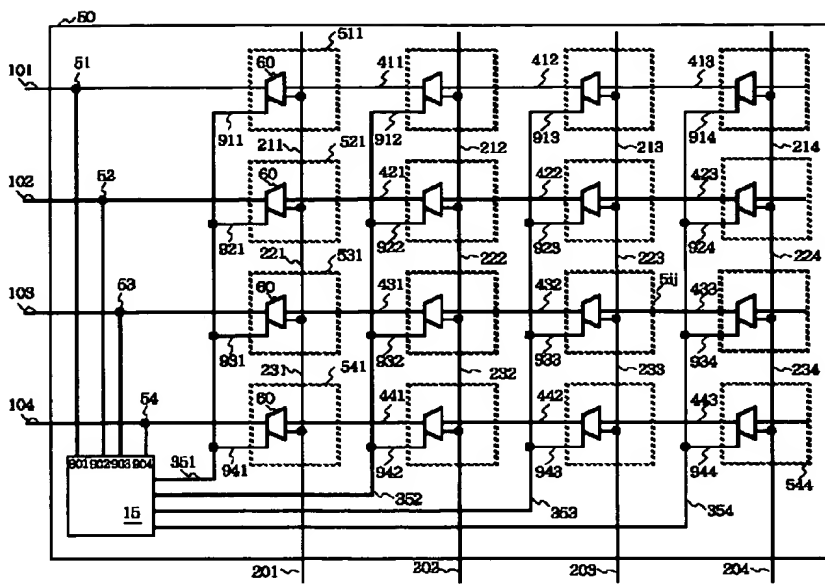
【図 4】



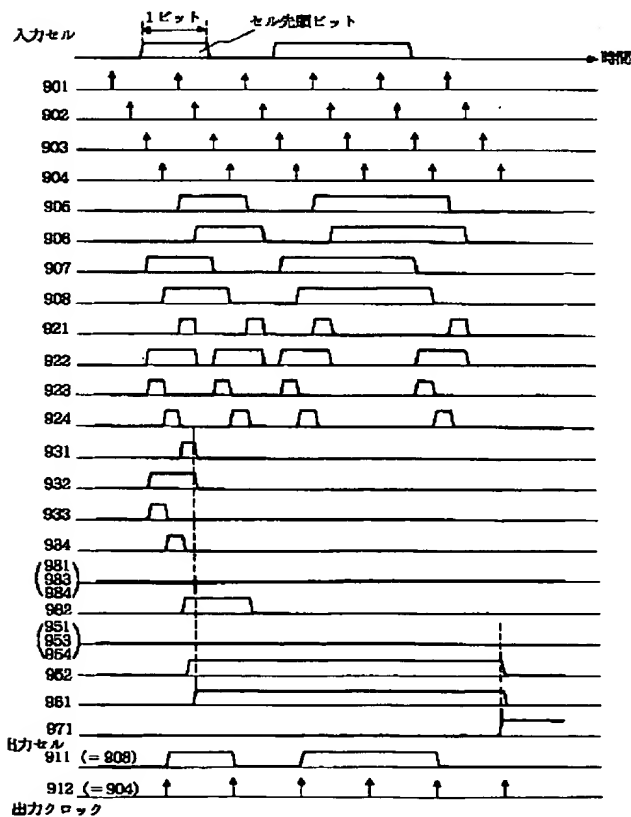
【図 5】



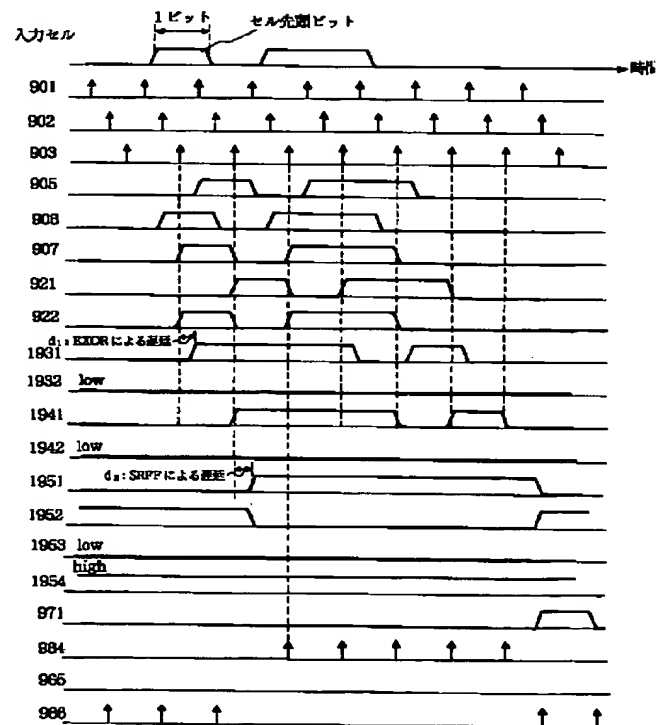
【図3】



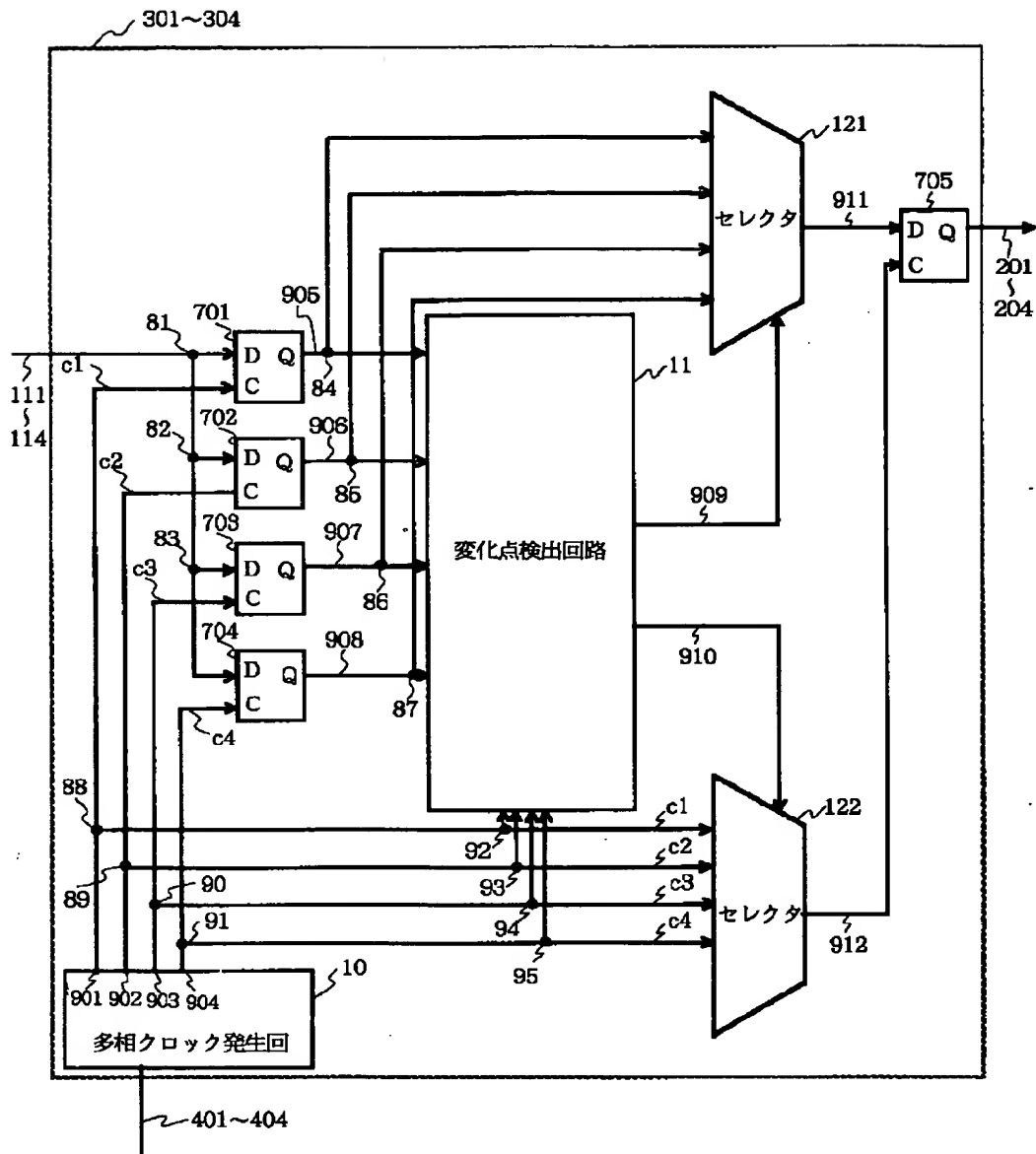
【図8】



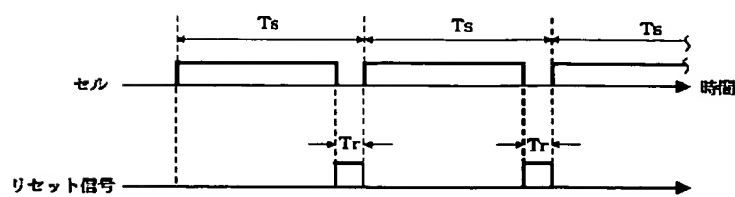
【図11】



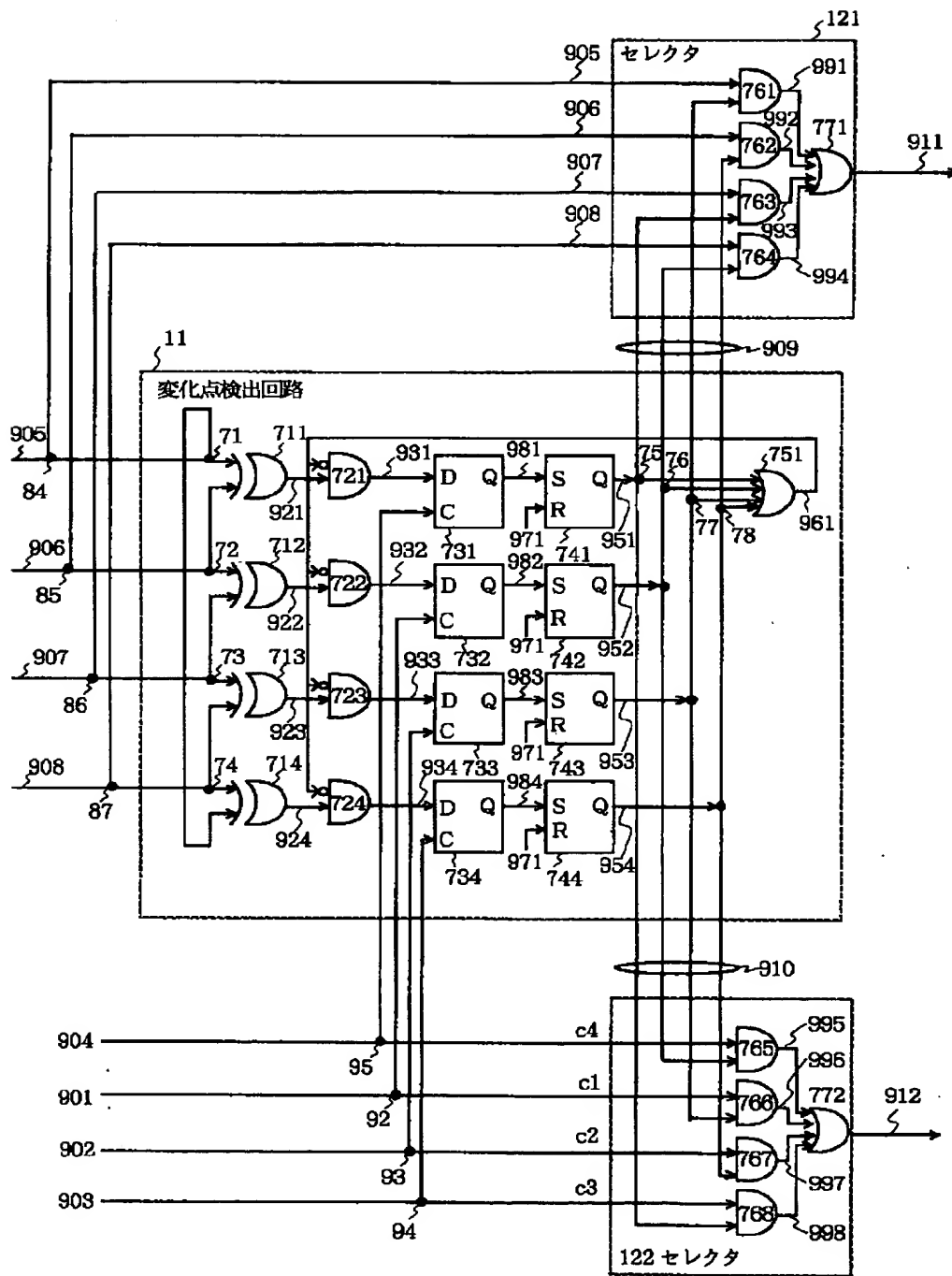
【图 6】



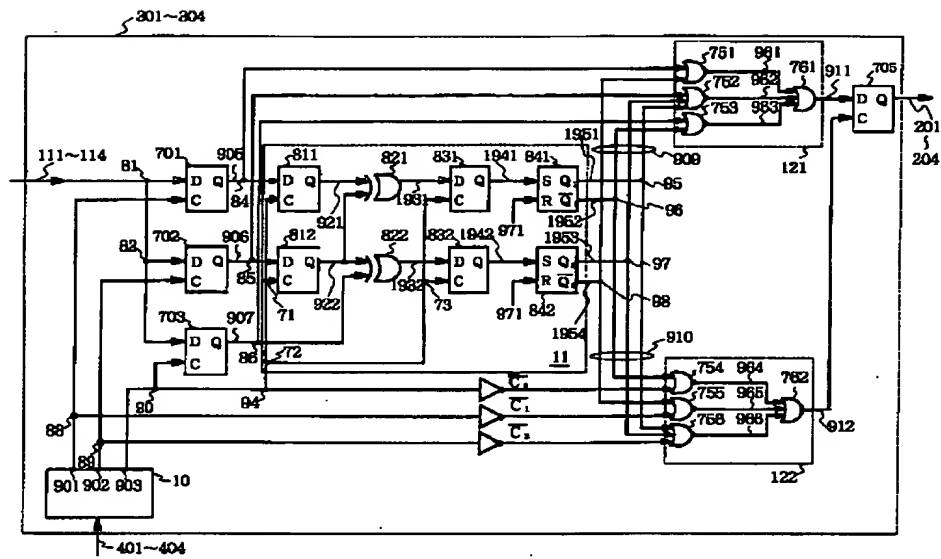
【图 9】



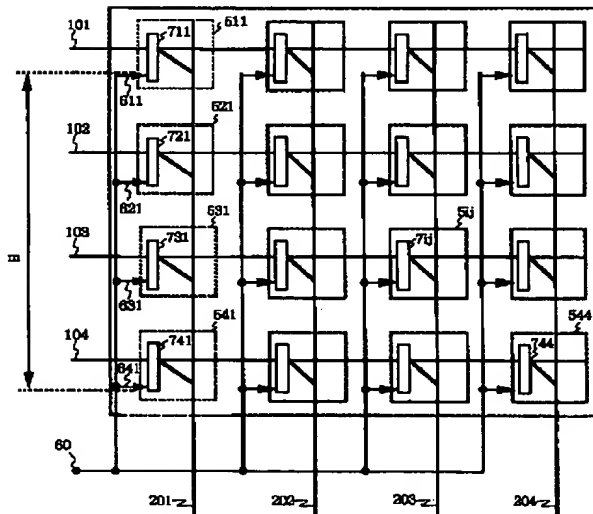
【図 7】



【図 10】



【図 12】



BEST AVAILABLE COPY